



**Università di Verona**  
**Dipartimento di Informatica**

Sistemi di Elaborazione dell'Informazione: esame 02/07/'03

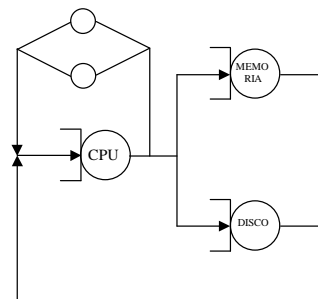
Cognome: ..... Nome: ..... Matricola: .....

**Nota 1:** le soluzioni devono essere opportunamente commentate,  
è vietato utilizzare appunti o libri.

- 1) Descrivere in SystemC un modulo che pone su una uscita ad un bit un numero intero a 32 bit un bit alla volta dal più significativo al meno significativo. Il modulo deve usare il seguente registro parallelo seriale.

<pre>// reg_par_ser.h #include "systemc.h" #define N 8 SC_MODULE(reg_par_ser) {     sc_in&lt;bool&gt;    clock;     sc_in&lt;bool&gt;    i0;     sc_in&lt;sc_bv&lt;N&gt; &gt; d;     sc_in&lt;bool&gt;    ps;     sc_out&lt;sc_bv&lt;N&gt; &gt; q;     sc_out&lt;bool&gt;    o;     void registro_par_ser();     SC_CTOR(reg_par_ser) {         SC_METHOD(registro_par_ser);         sensitive_pos(clock);     }; };</pre>	<pre>// reg_par_ser.cpp void reg_par_ser::registro_par_ser() {     static sc_bv&lt;N&gt;    reg = "00000000"     bool                i01, ps1;      ps1 = ps.read();     if (ps1 == 1){         reg =d.read();     }else{         i01 = i0.read();         reg.range(N-2,0) = reg.range(N-1,1);         reg[N-1] = i01;     }     i01 = (reg[0] == '1') ? 1 : 0;     o.write(i01);     q.write(reg); }</pre>
--	--

- 2) Si consideri la seguente rete di code rappresentante una workstation per applicazioni di calcolo di tipo interattivo (la terminologia sulle reti di code è riportata a destra).



T = tempo di osservazione  
A = arrivi  
C = completamenti  
 $\delta$  = frequenza di arrivo  
X = traffico  
Bk = tempo di occupazione  
Uk = utilizzo  
Sk = tempo di servizio per visita  
N = popolazione clienti  
R = tempo di residenza  
Z = tempo di riflessione  
Vk = numero di visite  
Dk = domanda di servizio

- La CPU ha una frequenza di clock di 600MHz, l'unità a disco ha un tempo di accesso di 8 msec, mentre la memoria ha un tempo di accesso di 15nsec. In un periodo di osservazione di 1000sec. si misurano i seguenti valori:  
Completamenti: 50  
Utilizzo della CPU: 0.8  
Utilizzo del disco: 0.4  
Utilizzo della memoria: 0.6  
Tempo di riflessione: 20
- Si valuti mediante un'analisi asintotica la convenienza della seguenti due alternative mutuamente esclusive:  
1) sostituzione della CPU con una da 1Ghz e aggiunta di una memoria cache con tempo di accesso di 3nsec; si ipotizzi che questo dispositivo generi una cache-miss del 10%;  
2) aggiunta di due CPU (ad accoppiamento stretto) assumendo che il carico di lavoro venga distribuito equamente tra le tre CPU, a fronte di una degradazione delle prestazioni delle CPU del 7% dovuta a possibili conflitti nell'utilizzo del BUS e di una degradazione delle prestazioni della memoria del 14% dovuta a possibili conflitti di accesso.

- 
- Disegnare il grafico asintotico dell'andamento del tempo di risposta della soluzione migliore per carichi leggeri, riportando i valori significativi del grafico

- Applicare il metodo MVA per calcolare i valori di R e X esatti per  $N = 4$ .

- 
- 3) Definire la latenza di un protocollo e discutere come sia possibile migliorarla.

- Descrivere i vantaggi e gli svantaggi dei vari protocolli in relazione al concetto di priorità .

---

4) Si consideri una architettura con cache in cui la penalizzazione di fallimento è di 4 cicli di clock, mentre tutte le istruzioni impiegano 8.5 cicli di clock se si ignorano gli stalli di memoria. Ipotizzando un miss rate dell'8% e che vi siano in media 2 riferimenti alla memoria per ogni istruzione, qual è l'impatto sulle prestazioni in presenza della cache?

- Da quali parametri dipende il tempo di CPU e come è possibile ridurlo?