



**Università di Verona**  
**Dipartimento di Informatica**

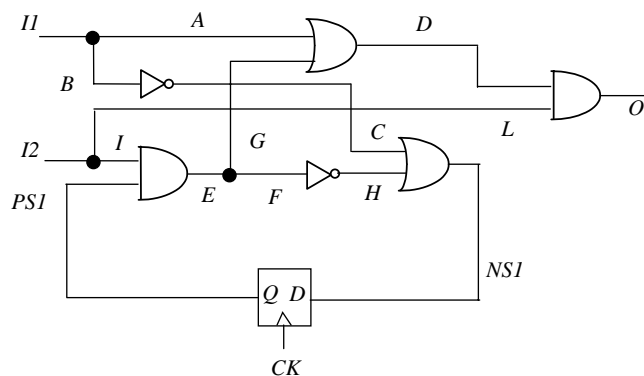
Sistemi per la Progettazione Automatica 06/12/02:  
seconda prova intermedia es. 1) - 2)  
prima prova intermedia es. 3) - 4)



Cognome: ..... Nome: ..... Matricola: .....

**Note:** le soluzioni devono essere opportunamente commentate,  
è vietato utilizzare appunti o libri.

- 1) Identificare una sequenza di test per il guasto H stuck-at 1 sapendo che il valore di reset di PS1 è 0.



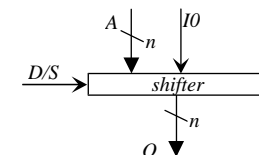
- Descrivere la struttura e l'utilizzo di un LFSR.

- 2) Si costruisca il ROBDD della funzione  $f(x, y) = x \cdot y + \bar{x} \cdot \bar{y}$  utilizzando l'ordinamento delle variabili  $x, y$ .

- Volendo verificare la correttezza della seguente realizzazione di uno shifter, quali proprietà potrebbero essere scritte?

```
entity SHIFTER is
    generic (N: integer := 8);
    port (
        DS: in bit;
        A: in bit_vector(N-1 downto 0);
        I0: in bit;
        O: out bit_vector(N-1 downto 0) );
end SHIFTER;

architecture RTL of SHIFTER is
begin
    O <= I0 & A(N-1 downto 1) when DS = '1'
        else A(N-2 downto 0) & I0;
end RTL;
```



- 
- 3) Si descriva in VHDL, negli stile *behavioral*, *data-flow* e *strutturale*, un negatore di un numero intero di ampiezza variabile in complemento a due. Il circuito esegue la negazione del numero letto dalla porta *A* e pone il risultato sulla porta *O*.

- 
- 4) Sia dato il seguente algoritmo (*x* e *y* sono variabili i cui valori iniziali sono forniti dall'esterno; *a*, *b* e *c* sono costanti fornite dall'esterno; variabili e costanti sono tutte di 8 bit)

```
x1 = (x + a) * y;  
y1 = (x + b) / c;  
z = 0;  
if (x1 > y1) then  
    z = (x1 - y1) * a;  
x = x1 + z;  
y = y1 * z;
```

- si progetti la FSMD che realizza tale algoritmo a *latenza minima*, cercando di ridurre il più possibile il numero di risorse. Disegnare la parte di FSMD relativa al registro che memorizza la variabile *y*.

