



**Università di Verona**  
**Dipartimento Scientifico e Tecnologico**

Sistemi per la Progettazione Automatica: prova intermedia del 3/12/99

Cognome:.....Nome: ..... Matricola: .....

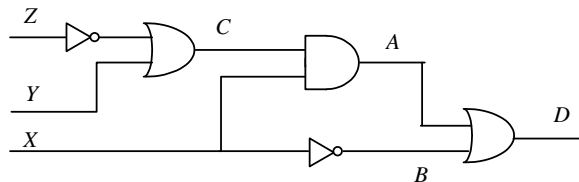
**Note:** le soluzioni devono essere opportunamente commentate,  
è vietato utilizzare appunti o libri.

1) Si consideri il problema della generazione del test per i circuiti integrati.

- Quali sono le fasi della generazione del test per un circuito combinatorio.

- Quali sono le cause che generano guasti ridondanti in un circuito combinatorio e in un circuito sequenziale.

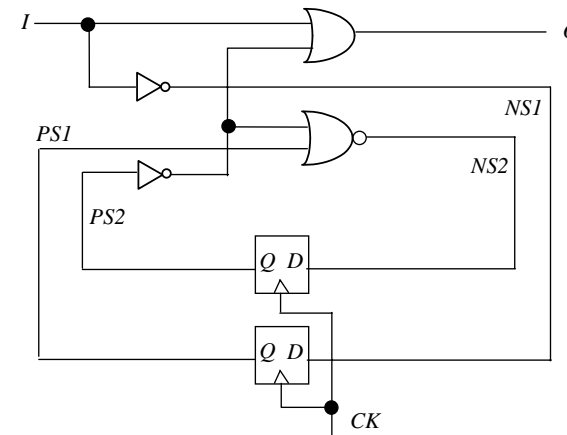
- Generare **tutti** i possibili vettori di test per il guasto *A stuck-at-0*, descrivendo i passaggi che conducono a tale soluzione.



2) Si consideri il problema dell'incremento della collaudabilità di un circuito digitale.

- Quali sono le motivazioni che rendono necessario l'utilizzo di tecniche di *Design for Testability*.

- Come potrebbe essere modificato il seguente progetto per aumentare la sua collaudabilità considerando che dallo stato di reset 00 non è possibile raggiungere gli stati 10 e 11?



---

3) Si descriva in VHDL il seguente dispositivo digitale in modo che sia correttamente sintetizzabile.

- Il dispositivo rappresenta una ALU con accumulatore che esegue 4 operazioni (somma, sottrazione, minore, maggiore) sugli operandi di ingresso o su un operando e sul registro interno. I numeri trattati sono rappresentati in complemento a due. Le operazioni di minore e di maggiore selezionano il minore o maggiore tra i due operandi oltre a identificare se il primo operando è minore (maggiore) del secondo. Si ipotizzi che le operazioni vengono eseguite tutte in 1 ciclo di clock. I 5 ingressi e le 2 uscite del dispositivo hanno il seguente significato.
- CLK: il dispositivo memorizza sempre il risultato dell'operazione in un registro interno, sul fronte di salita del clock.
- OP1: primo operando di ampiezza SIZE generica.
- OP2: secondo operando di ampiezza SIZE generica.
- STORED: segnale ad un bit, quando vale 1 l'operazione viene eseguita su *OP1* e sul contenuto del registro interno; quando vale 0 l'operazione viene eseguita su *OP1* e *OP2*.
- OPER: segnale a due bit che identifica l'operazione da eseguire (00=somma, 01=sottrazione, 10=minore, 11=maggiore).
- OUT: risultato dell'operazione di ampiezza SIZE generica.
- INFO: segnale ad 1 bit che viene posto a 1 per indicare che la somma o la sottrazione hanno generato un overflow o che *OP1* è minore (maggiore) di *OP2*.
- Descrivere la *entity* del dispositivo.

- 
- Descrivere la *architecture* del dispositivo usando uno o più processi.

- 
- Si scriva in VHDL una *design entity* che genera gli opportuni stimoli per la precedente ALU in modo che venga effettuata la somma di dieci numeri (forniti dall'esterno, uno per ciclo di clock) e si stabilisca se il totale è maggiore o minore dell'undicesimo numero letto.